



描述

ATD5989是一款内置译码器的低噪声步进电机驱动器。其输出驱动能力达到28V,±2.5A, 最高支持256细分工作。

译码器是ATD5989易于使用的关键。通过STEP管脚输入一个脉冲就可以使电机完成一次步进, 省去了相序表, 高频控制线及复杂的编程接口, 使其更适用于没有复杂的微处理器或微处理器负担过重的场合。

ATD5989可使电机实现低噪声工作, 即使是以整步运行, 也能达到平滑的运动轨迹。同时支持混合电流衰减, 以提供高扭矩输出。

ATD5989支持自动半流锁定功能, 在无STEP变化时, 自动减半输出电流, 降低系统待机功耗。

同步整流控制电路改善了PWM操作时的功耗。内部保护电路包括过热保护、欠压锁定保护及过流保护。

ATD5989目前提供带有散热焊盘的QFN36封装, 能有效改善散热性能, 且是无铅产品, 符合环保标准。

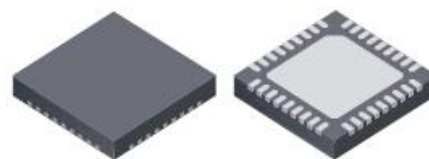
特点

- 两相四线双极步进电机驱动
- 低导通电阻 $R_{DS(ON)}$, 460m Ω (HS+LS)
- 2.5A峰值电流输出
- 简单的STEP/DIR接口, 最高支持256细分
- 支持电机超低噪声工作和平滑运动
- 支持混合电流衰减和高扭矩输出
- 支持半流锁定功能
- 兼容3.3V和5V逻辑电平
- 完备的保护功能

应用

- 打印机、扫描仪等自动化办公设备
- 3D打印机
- 游戏机、机器人、医疗设备
- 安防、ATM

封装形式

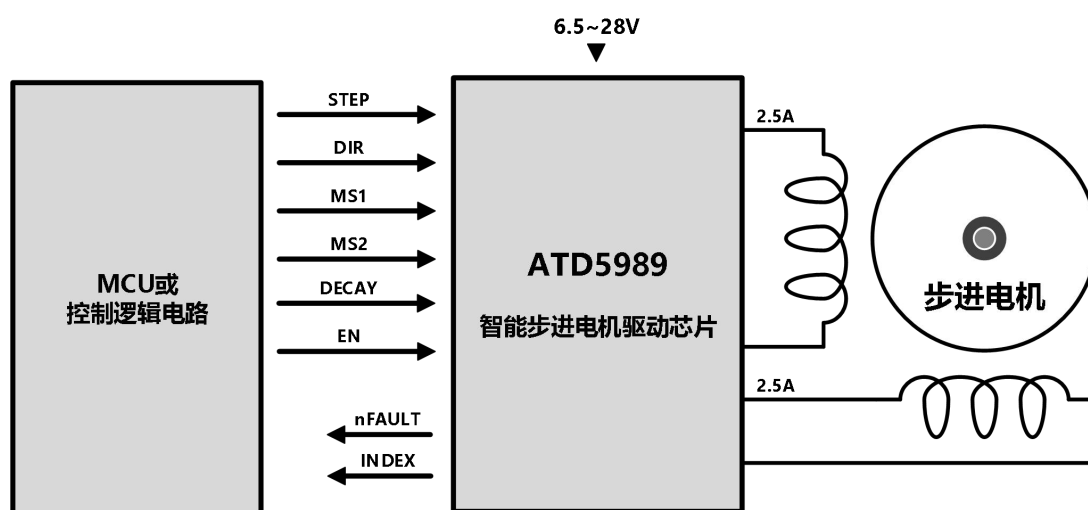


QFN36

型号选择

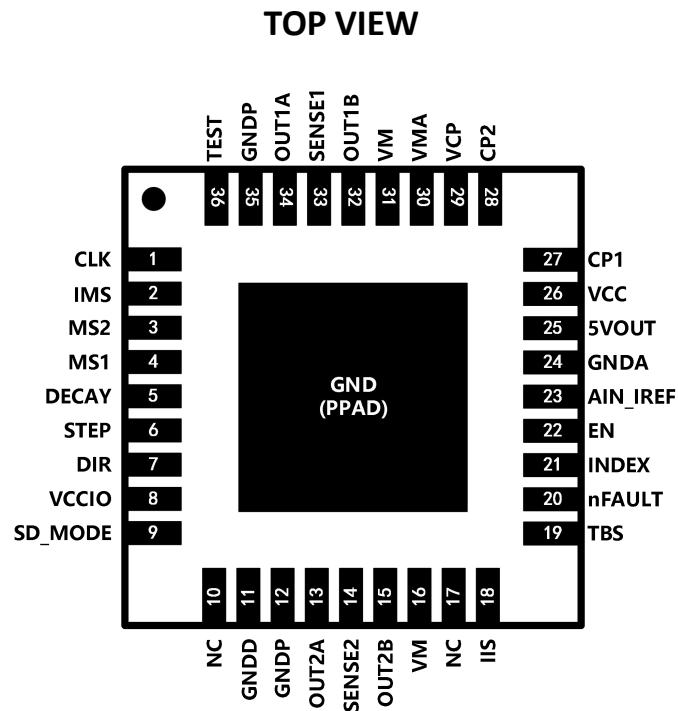
型号	封装	包装信息
ATD5989	QFN6*6-36	编带, 5000颗/盘

典型应用原理图





管脚定义



管脚列表

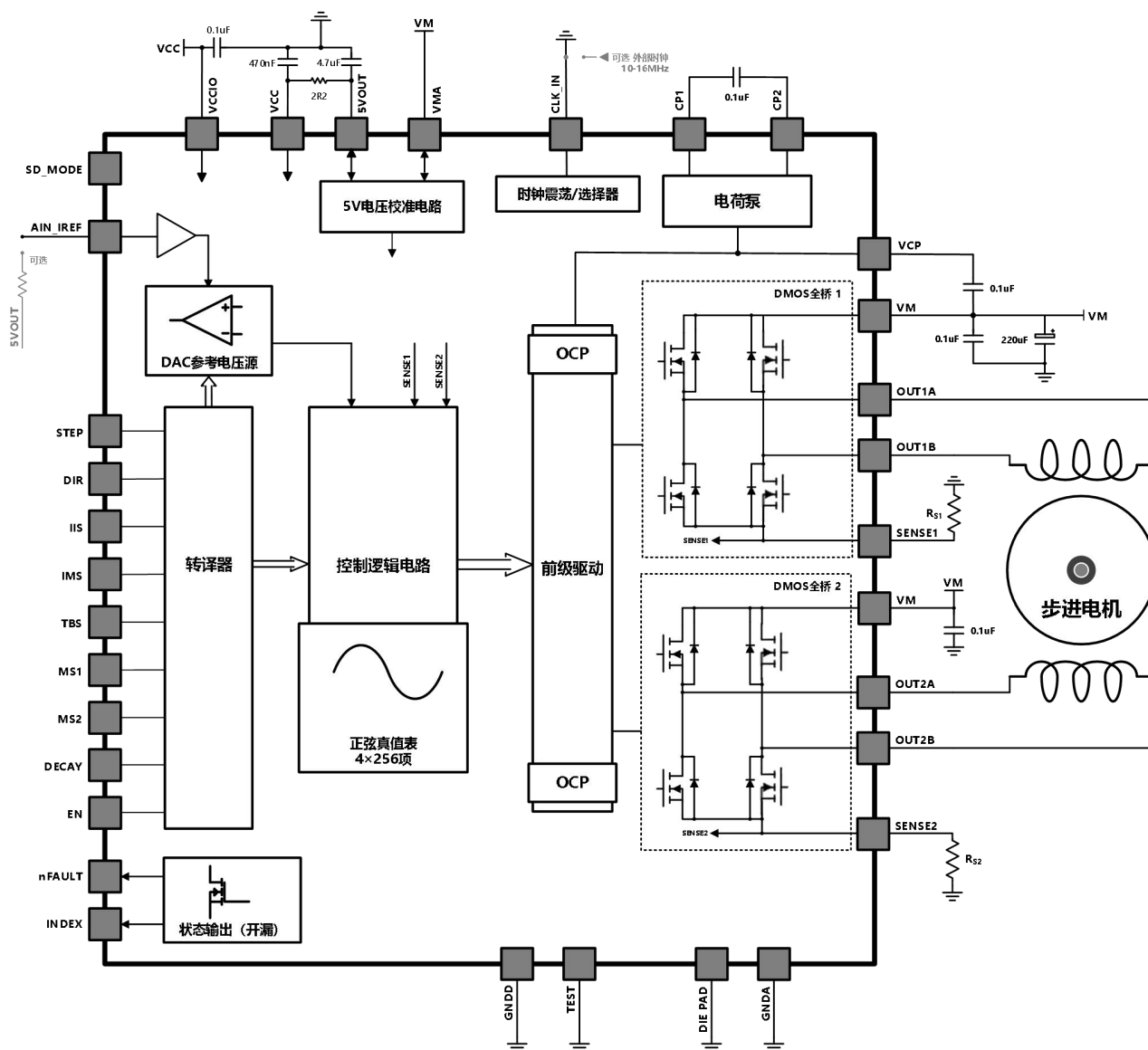
管脚名	序号	管脚说明
CLK	1	CLK输入，若使用内常部时钟，请接地
IMS	2	电流模式设置
MS2	3	细分和衰减模式选择2
MS1	4	细分和衰减模式选择1
DECAY	5	衰减时间设置
STEP	6	STEP脉冲输入
DIR	7	方向控制输入
VCCIO	8	数字电源供电，接3.3V或者5V电源
SD_MODE	9	模式配置，请悬空，勿接地
NC	10	悬空
GNDD	11	数字地，连到系统地
GNDP	12	功率地，连到系统地
OUT2A	13	全桥B输出1端



SENSE2	14	全桥B检流电阻端，若使用内部检流，请直接接地
OUT2B	15	全桥B输出2端
VM	16	功率电源（需做好电源滤波）
NC	17	悬空
IIS	18	衰减迟滞设置
TBS	19	消隐时间设置
nFAULT	20	开漏输出，错误指示输出
INDEX	21	开漏输出，步进索引指示输出
EN	22	使能输入，半流锁定控制
AIN_IREF	23	模拟参考电压输入或参考电流输入
GNDA	24	模拟地，接系统地
5VOUT	25	内部5V整流输出，需接4.7uF电容滤波
VCC	26	5V电源输入端，470nF电容滤波，一般接2.2Ω电阻到5VOUT
CP1	27	电荷泵飞电容端，接100nF电容到CP2
CP2	28	电荷泵飞电容端，接100nF电容到CP1
VCP	29	电荷泵储能端，接100nF电容到VM
VMA	30	模拟电源输入，一般使用连到VM
VM	31	功率电源，做好电源滤波
OUT1B	32	全桥A输出2端
SENSE1	33	全桥A检流电阻端，若使用内部检流，请直接接地
OUT1A	34	全桥A输出1端
GNDP	35	功率地，连到系统地
TEST	36	测试管脚，请接地
PAD	-	底部裸焊盘，接系统地，做散热



功能模块框图



电路工作极限 at $T_A = 25^{\circ}\text{C}$

参数	符号	测试条件	范围	单位
最高供电电压	V_S		32	V
输出电流	I_{OUT}		± 2.5	A
逻辑输入电压	V_{IN}		-0.3 to 5.5	V
逻辑供电电压	VCC_IO		-0.3 to 5.5	V
电机输出电压	V_{OUT}		-2.0 to 35	V
检流电压	V_{SENSE}		-0.5 to 0.5	V
参考电压	V_{REF}		2.5	V
工作环境温度	T_A	Range S	-40 to 85	$^{\circ}\text{C}$
最高结温	$T_J(\text{max})$		150	$^{\circ}\text{C}$
存储温度	T_{stg}		-55 to 150	$^{\circ}\text{C}$

热阻特性 at $T_A = 25^{\circ}\text{C}$

热计量	QFN	单位
	36PINS	
θ_{JA} - 硅核到环境的热阻系数(*)	28	$^{\circ}\text{C}/\text{W}$

(*) 自然对流条件下硅核到环境的热阻系数是通过在 JESD51-7 中所指定的 JEDEC 标准高 K 值电路板上进行仿真模拟获得，环境条件如 JESD51-2a 中所述。

推荐工作条件 at $T_A = 25^{\circ}\text{C}$

参数	符号	最小	典型	最大	单位
负载供电电压	V_S	6.5	-	28	V
逻辑供电电压	VCC_IO	3	-	5.5	V
输出电流设置	I_{OUT}	0	-	2.0	A

推荐外围设置

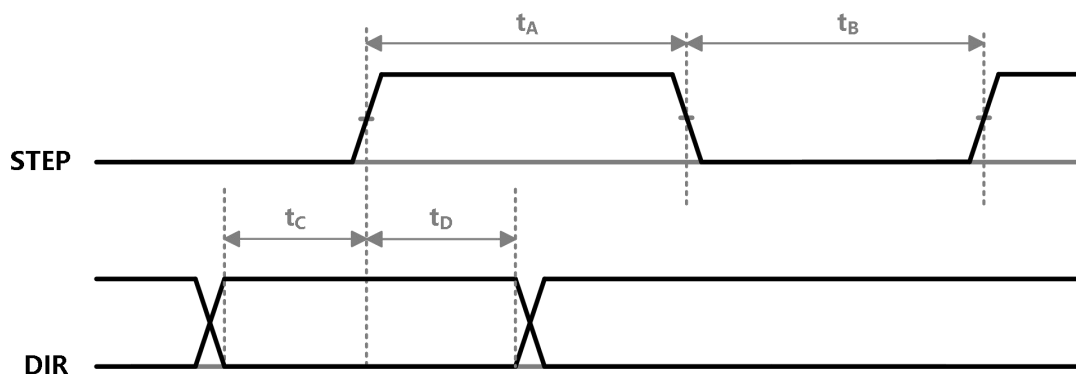
- 1、 CP 电容：0.1uF/50V
- 2、 VCP 电容：0.1uF/50V
- 3、 5VOUT 滤波电容：4.7uF/16V
- 4、 VCC 滤波电容：470nF/16V，串连 2.2 Ω 电阻接 5VOUT

电气特性 at $T_A = 25^{\circ}\text{C}$, $V_S = 12\text{ V}$

参数	符号	测试条件	最小	典型	最大	单位
输出驱动器						
负载电源供电范围	V_S	工作状态	6.5	-	28	V
逻辑电源供电范围	V_{CC_IO}	工作状态	3.0	-	5.5	V
负载电源静态功耗	I_{VS}	$f_{\text{PWM}} < 50\text{kHz}$	-	5	8	mA
逻辑电源静态功耗	I_{VCC_IO}	$f_{\text{PWM}} < 50\text{kHz}$	-	6	10	mA
5V 整流输出	5VOUT		4.8	5	5.2	V
控制逻辑						
逻辑输入电平	$V_{\text{IN}(1)}$		$V_{\text{IO}} \times 0.7$	-	-	V
	$V_{\text{IN}(0)}$		-	-	$V_{\text{IO}} \times 0.3$	V
逻辑输入迟滞	$V_{\text{HYS}(\text{IN})}$	V_{CC_IO} 的百分比	5	12	19	%
内部上拉、下拉电阻 (x 三态输入)	R_{PU} 、 R_{PD}		133	166	200	$\text{k}\Omega$
参考电压输入范围	V_{REF}		0	-	2.5	V
BRx 检流峰值电压	V_{SRT}		-	0.32	-	V
H 桥输出						
输出导通电阻	$R_{\text{DS(ON)}}$	高侧, $I_{\text{OUT}} = -1\text{A}$	-	280	360	$\text{m}\Omega$
		低侧, $I_{\text{OUT}} = 1\text{A}$	-	180	240	$\text{m}\Omega$
体二极管正向压降	V_F	高侧, $I_F = -1\text{A}$	-	-	1.2	V
		低侧, $I_F = 1\text{A}$	-	-	1.2	V
死区时间	t_{DT}		160	220	280	ns
输出上管开启上升时间	t_r	输出下拉 12Ω	-	230	-	ns
输出下管开启下降时间	t_f	输出上拉 12Ω	-	150	-	ns
保护功能						
过流保护	I_{OCPST}		3	-	-	A
过温关断	T_{TSD}		-	160	-	$^{\circ}\text{C}$
过温迟滞	T_{TSDHYS}		-	15	-	$^{\circ}\text{C}$



电路控制信号时序上的要求: ($T_A = +25^{\circ}\text{C}$, $V_{CCIO} = 3.3\text{ V}$, 逻辑电平为 V_{CCIO} 或 GND)



控制信号时序图

持续时间	符号	典型值	单位
步进脉冲最小值高电平脉冲宽度	t_A	1	μs
步进脉冲最小值低电平脉冲宽度	t_B	1	μs
建立时间	t_C	200	ns
保持时间	t_D	200	ns

输入管脚配置

DECAY: 设定衰减时间 T_{OFF}

DECAY	TOFF 设置
GND	11 μs
VCCIO	18 μs
悬空	25 μs

推荐使用 $\text{DECAY} = \text{GND}$ 配置。

MS1、MS2: 细分和工作模式选择

MS2	MS1	初始细分	是否支持 256 细分	工作模式
GND	GND	1	N	高扭矩模式
GND	VCCIO	2	N	
GND	悬空	2	Y	
VCCIO	GND	4	N	
VCCIO	VCCIO	16	N	
VCCIO	悬空	4	Y	
悬空	GND	16	Y	低噪声模式
悬空	VCCIO	4	Y	
悬空	悬空	16	Y	

**IMS: 电流模式配置**

IMS	电流模式配置说明
GND	使用内部参考电压，外部检流电阻设置驱动电流
VCCIO	使用内部检流电阻，AIN_IREF 输入电流设置驱动电流
悬空	使用外部 AIN_IREF 参考电压输入，外部检流电阻配置驱动电流

IIS: 衰减迟滞配置

IIS	衰减迟滞（过零点电流调节）
GND	低迟滞， $\approx 4\%$ 最大电流配置
VCCIO	中等迟滞， $\approx 5\%$ 最大电流配置
悬空	高迟滞， $\approx 6\%$ 最大电流配置

TBS: 设置消隐时间

TBS	消隐时间（时钟周期的倍数）
GND	1.2us
VCCIO	1.8us
悬空	2.6us

EN: 使能配置

EN	输出使能说明
GND	输出使能
VCCIO	输出关闭
悬空	输出使能，同时开启半流锁定功能

使用说明:

建议客户低速使用电压衰减，高速应用使用混合电流衰减。配置 MS1 和 MS2。

电流模式配置 IMS 与硬件外围是否需要检流电阻、AIN_IREF 如何接相关。

若不使用管脚 EN 控制使能，建议悬空，开启半流锁定功能。

其余配置，可按默认配置，即可满足大部分应用。



模块功能描述

器件工作

ATD5989是一种便于使用的内部集成了译码器的微特步进电机驱动器,只需少量的控制线。其设计能够让双极步进电机以全、半、1/4和1/16步进工作。每一个H桥都有一个有固定衰减时间的PWM电流控制电路,以限制其N沟道DMOS功率管的负载电流在一个设定值。每个全桥输出电流是由外部检流电阻(R_{S1} 和 R_{S2})的值,参考电压(V_{REF})和DAC(依次由译码器的输出控制)的输出电压来设定。

在上电或复位时,译码器将DAC和相电流的极性设为初始的HOME状态,且两相的电流调节器均工作在混合衰减模式。当一个步进信号进入STEP端口,译码器自动将DAC排序进入下一电平和电流极性。(微步进相序表给出了电流台阶顺序)。

当步进进行时,如果DAC的输出电平低于前一个输出电平,则当前的H全桥进入混合衰减模式。如果DAC输出电平高于或者等于前一个电平,则当前的H全桥进入慢衰减模式。自动的电流衰减选择通过减小电流波形失真改善了微步进性能。

微步进选择(MS1、MS2)

微步细分精度由MS1、MS2逻辑输入电压确定,如输入管脚配置中所列。MSx均有下拉电阻。当改变步进模式时,直到下一个STEP的上升沿才起作用。

如果步进模式改变,而译码器没有复位,其绝对位置必须要保持。为了防止丢步,选择一个适用于所有步进模式的步进位置,再去改变步进模式,这点很重要。当器件断电或者由于过温重启或过流时,译码器被置于HOME位置,这是所有步进模式默认的共同位置。

混合衰减操作

当上电复位后正常工作时,根据MSx的配置和步进顺序,H桥工作于混合衰减模式。在混合衰减期间,当达到预定值时,ATD5989初始进入快衰模式,快衰减时间占固定衰减时间 t_{OFF} 的31.25%。其后转为慢衰减直至固定衰减时间结束。

一般混合衰减只是在绕组中的电流从一个高的值变为一个低的值时需要,由译码器的设置决定。对大多数负载来说,混合衰减模式的自动选择很便利,因为能够减小电流上升时的纹波和防止电流下降时的丢步。特别是在一些非常低速的微步进应用中十分必要,绕组中反电动势的不足造成负载中的电流增加

很快,导致丢步。即使不存在丢步问题,也推荐使用自动选择混合衰减模式,因为其会减小电流纹波。详细描述请参考固定衰减时间一节。

低电流微步进

在某些应用中,输出电流无法调节到程序设定的电流水平。为了防止这种现象的发生,器件可以在电流波形的上升和下降两个方向都工作在混合衰减模式。

STEP 输入

STEP信号上升沿触发有效,通过转译器控制,每个STEP上升沿触发使得电机有一个步进的变化。转译器控制DAC的输入和流过线圈的电流方向;每一步进的电流大小和转动角度由MS1、MS2输入逻辑电平控制。

方向控制(DIR)

DIR输入控制马达的转动方向,在STEP信号上升沿触发到来之前,任何DIR上的变动都不对电路产生影响。

内部 PWM 电流控制

每一个H桥都有一个有固定衰减时间的PWM电流控制电路,以限制其负载电流在一个设计值, I_{TRIP} 。若使用外部检流电阻,初始时,对角线上的一对DMOS(一对上下桥臂)处于输出状态,电流流经电机绕组和SENSEx脚所接的电流取样电阻, R_{Sx} 。当取样电阻上的电压等于DAC的输出电压时,电流取样比较器将PWM锁存器锁定,从而关断上桥臂,进入慢衰减模式;或同时关断上下桥臂进入快或混合衰减模式。该电流衰减过程将持续至固定衰减时间结束为止。然后,正确的输出桥臂被再次启动,电机绕组电流再次增加,整个PWM循环完成。其中,最大限流是由取样电阻 R_{Sx} 和电流取样比较器的输入电压设定。

电平 V_{REF} 控制的 $I_{TRIPMAX}(A)$ 由下式决定:

$$I_{TRIPmax} = V_{REF} / (8 \times R_S)$$

每步的实际电流为最大电流的百分比,近似为:

$$I_{TRIP} = (\% I_{TRIPmax} \div 100) \times I_{TRIPmax}$$

(微步进相序表给出了每步的最大电流百分比)

注意:SENSEx脚上的最大电压不能超过0.5V。



固定衰减时间 t_{off}

内部 PWM 控制电路是利用单触发电路来控制 DMOS 的剩余衰减时间。固定衰减时间 t_{off} 是由 DECAY 引脚和时钟周期决定的。DECAY 引脚有三种设置，即：

- DECAY 接逻辑高电平(VCCIO)
— 衰减时间设为 $236 \times T_{CLK}$ 。
- DECAY 接地
— 衰减时间设为 $140 \times T_{CLK}$ 。
- DECAY 接对地的电阻
— 衰减时间设为 $332 \times T_{CLK}$ 。

消隐(Blanking)

当输出在内部电流控制电路作用下开关时，该功能屏蔽电流检测比较器的输出，防止由于钳位二极管反向恢复电流，以及负载电容的开关瞬态电流导致的错误的过流检测。消隐时间 t_{BLANK} 由 TBS 引脚逻辑输入决定。

电荷泵(CP1 和 CP2)

电荷泵用来生成一个高于 VM 的电压，去驱动源 DMOS 的栅极。一个 0.1uF 的陶瓷电容接在 CP1、CP2 之间，实现电荷泵的目的。一个 0.1uF 陶瓷电容

接在 VCP、VM 之间，用来存储电荷，去驱动源 DMOS 器件。

电容值需为 Class2 介质， $\pm 15\%$ 最大波动或者耐压 R 级，根据 EIA。

使能输入(EN)

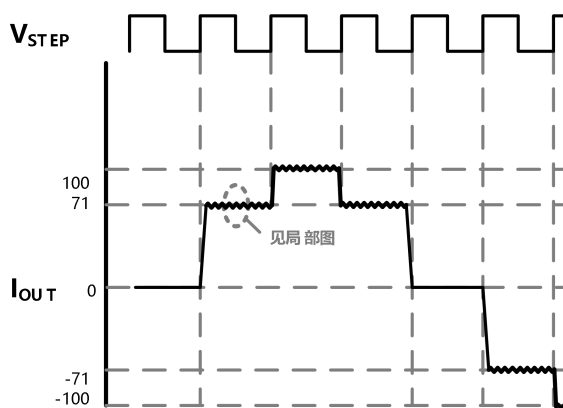
该输入是控制所有 FET 输出的开关。当其为逻辑高电平时，输出关断。当其为逻辑低电平时，内部控制使能起作用。译码器输入 STEP，DIR，MS1、MS2 以及内部时序逻辑，全部有效，独立于 EN 输入。

SHUTDOWN 关断

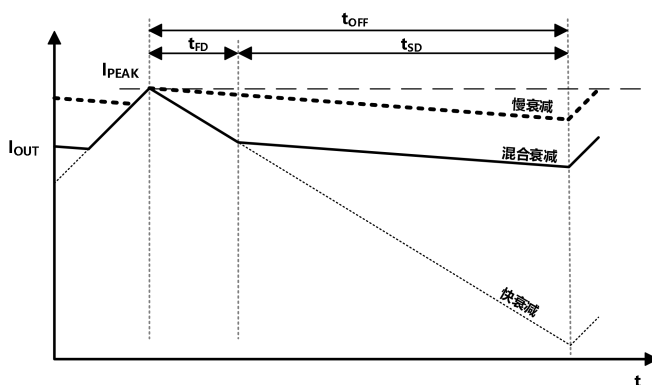
当电路发生过温保护或者发生 VCP 的欠压闭锁时，SHUTDOWN 功能工作，此时电路的正常功能被禁止，直到电路脱离 SHUTDOWN 条件。

同步整流

在电流衰减期间，同步整流功能打开对应的 FET 由于 FET 的导通电阻低，使体二极管短路，有效降低了功耗。同时，在很多应用场合，省去了外置肖特基二极管。当负载电流接近 0 时，同步整流关闭，这样防止负载电流反向。



电流台阶示例图

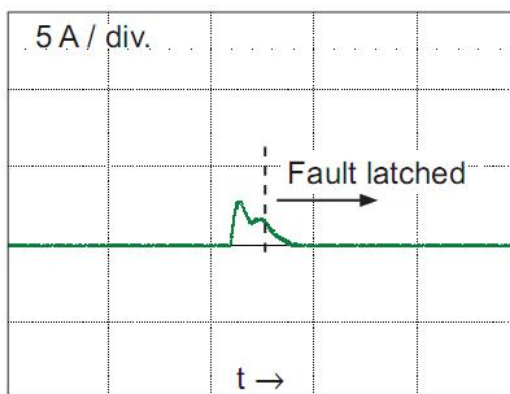


衰减电流局部图

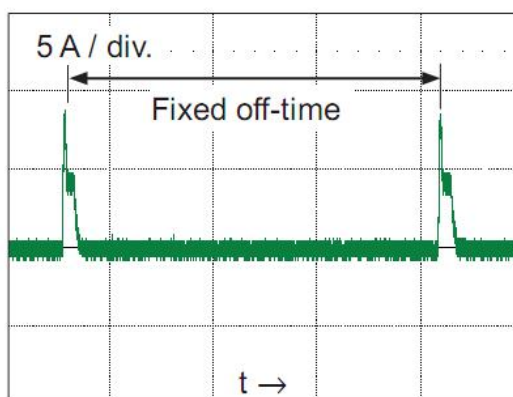
符号	性质
t_{off}	器件固定关断时间
I_{PEAK}	最大输出电流
t_{SD}	慢衰减区间
t_{FD}	快衰减区间
I_{OUT}	器件输出电流



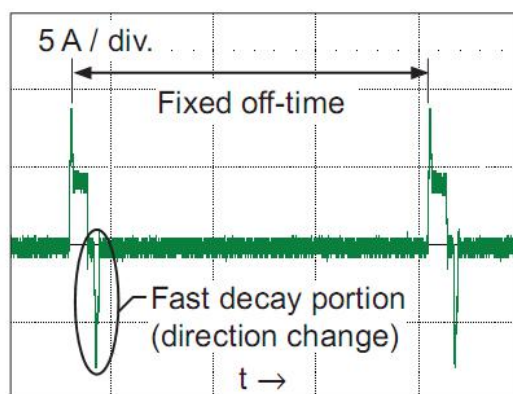
保护电路



对地短路



慢衰减状态下的输出短路

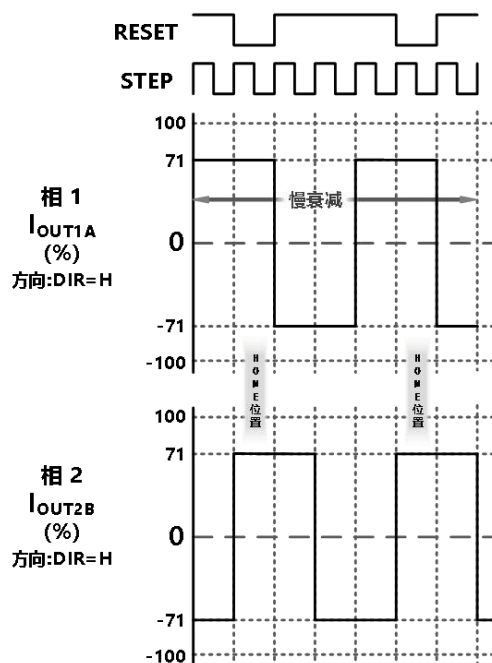


混合衰减状态下的输出短路

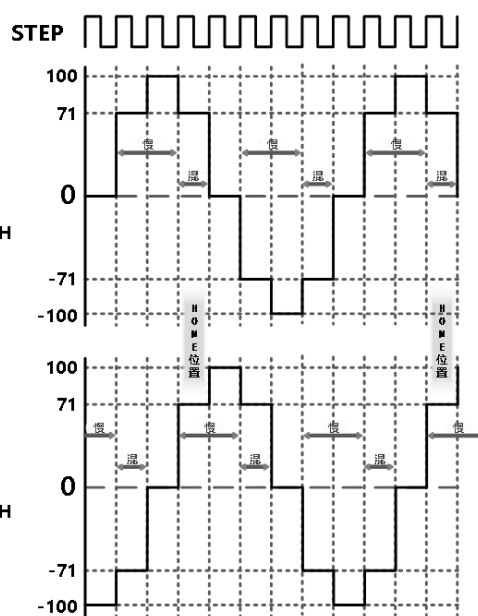
输出短路和对地短路保护

如果两电机输出管脚短接或者任一输出管脚对地短路，驱动器会检测这一过流事件，然后关断输出使器件免于烧毁。当对地短路发生，驱动器会一直保持关断状态，直到 SLEEP 重新拉到高电平。

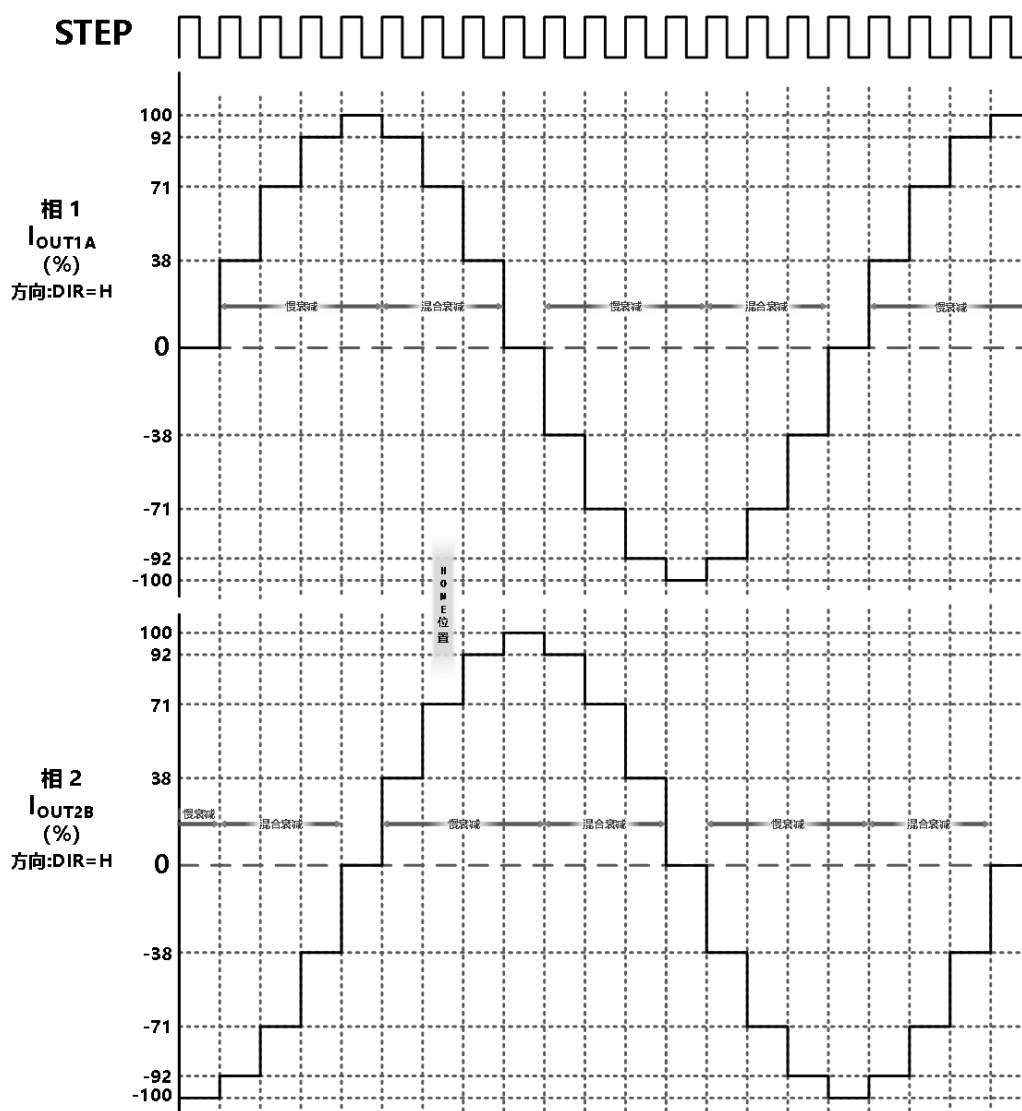
当两个输出短接在一起，电流经过检测电阻，消隐时间内，检测电阻端电压会超过最大电压，然后驱动器进入固定衰减模式。经过一个固定衰减时间后，器件又会重新开启。当负载短路发生时，由于混合衰减的作用，在电流换向的时候，很容易观察到一个正向或者反向的尖峰电流。在这两种情况下，过流保护电路保护驱动器免于受烧毁。



整步增量衰减模式图



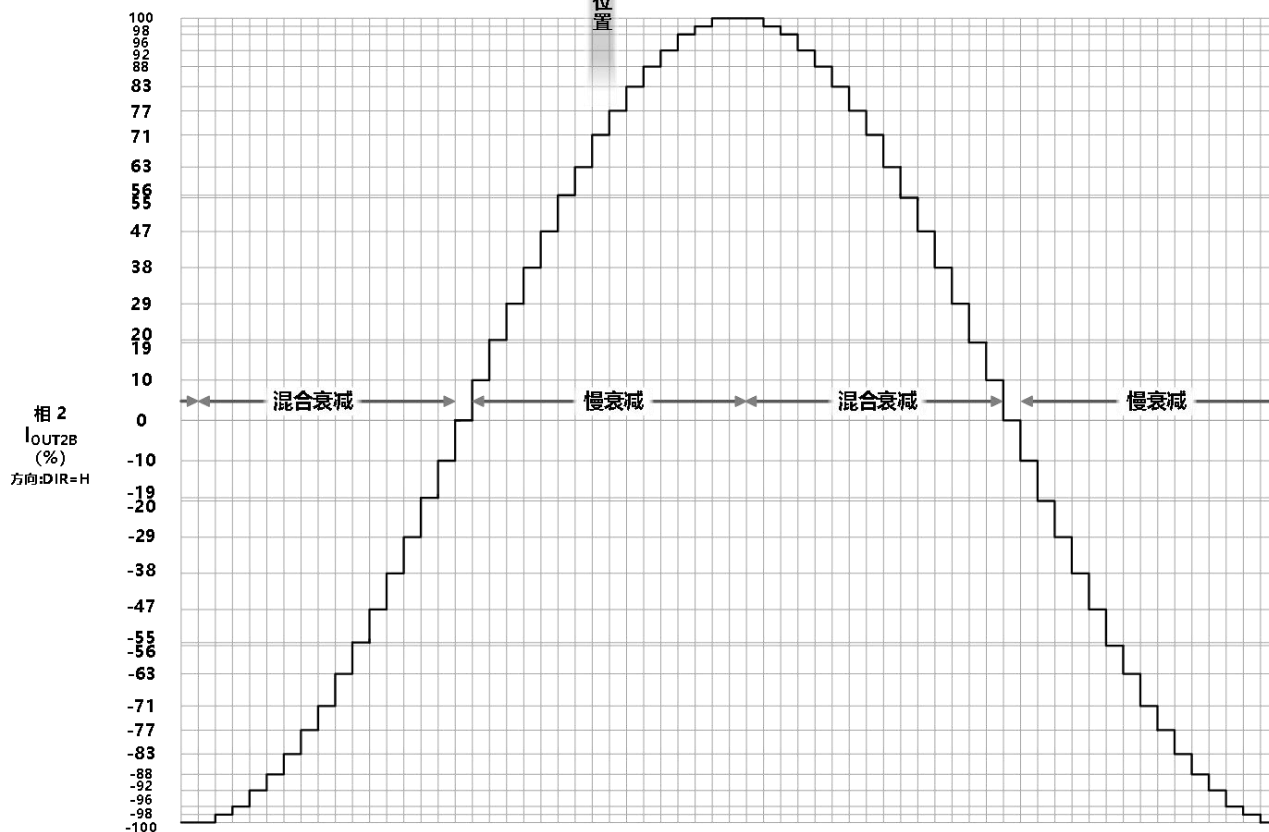
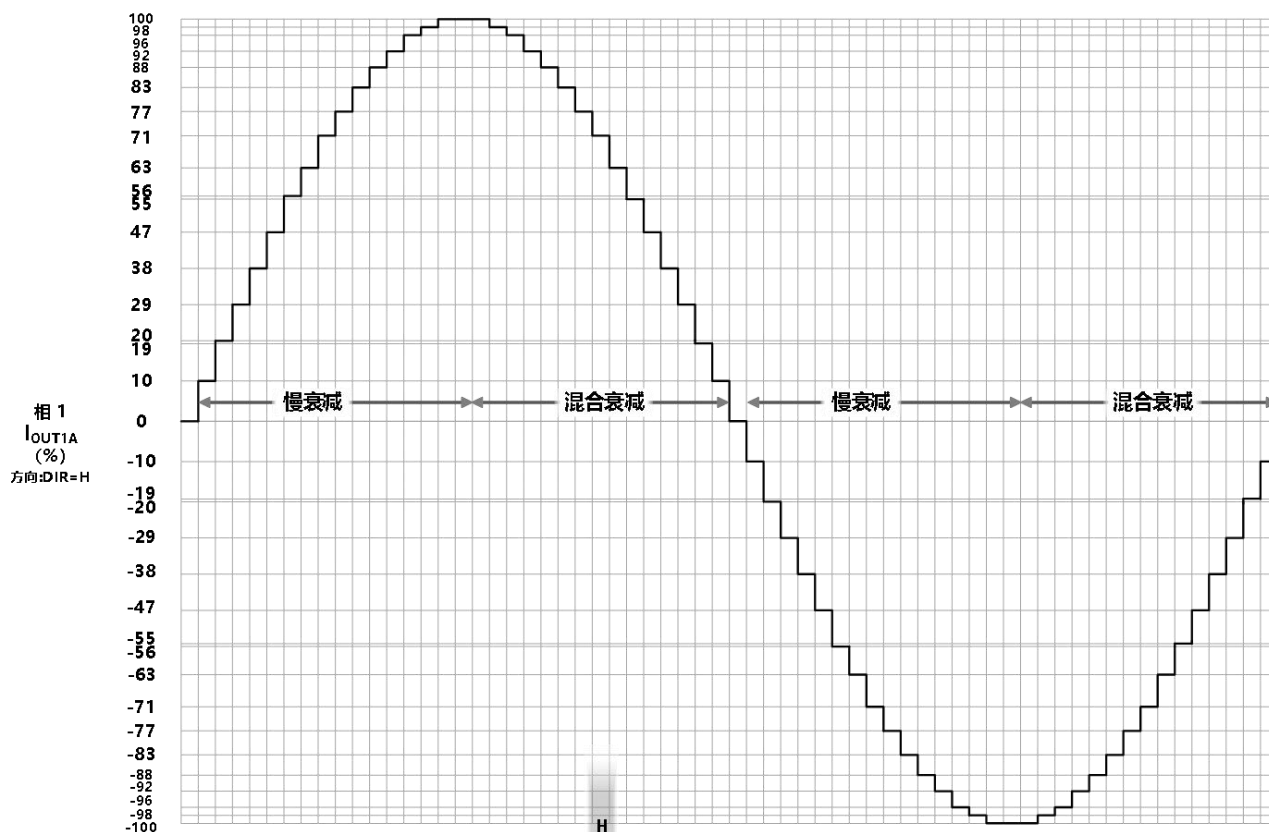
半步增量衰减模式图



四分之一步增量衰减模式图



STEP



十六分之一步增量衰减模式



微步进相序表

回零微步位置在步进角 45°处；DIR = H

1/16 步	1/4 步	半步	整步	步进角(°)	1相电流(%)	2相电流(%)
1	1	1		0.00	100	0
2				5.6	100	10
3				11.3	98	20
4				16.9	96	29
5	2			22.5	92	38
6				28.1	88	47
7				33.8	83	56
8				39.4	77	63
9	3	2	1	45	71	71
10				50.6	63	77
11				56.3	55	83
12				61.9	47	88
13	4			67.5	38	92
14				73.1	29	96
15				78.8	19	98
16				84.4	10	100
17	5	3		90	0	100
18				95.6	-10	100
19				101.3	-20	98
20				106.9	-29	96
21	6			112.5	-38	92
22				118.1	-47	88
23				123.8	-56	83
24				129.4	-63	77
25	7	4	2	135	-71	71
26				140.6	-77	63
27				146.3	-83	55
28				151.9	-88	47
29	8			157.5	-92	38
30				163.1	-96	29
31				168.8	-98	19
32				174.4	-100	10
33	9	5		180	-100	0
34				185.6	-100	-10

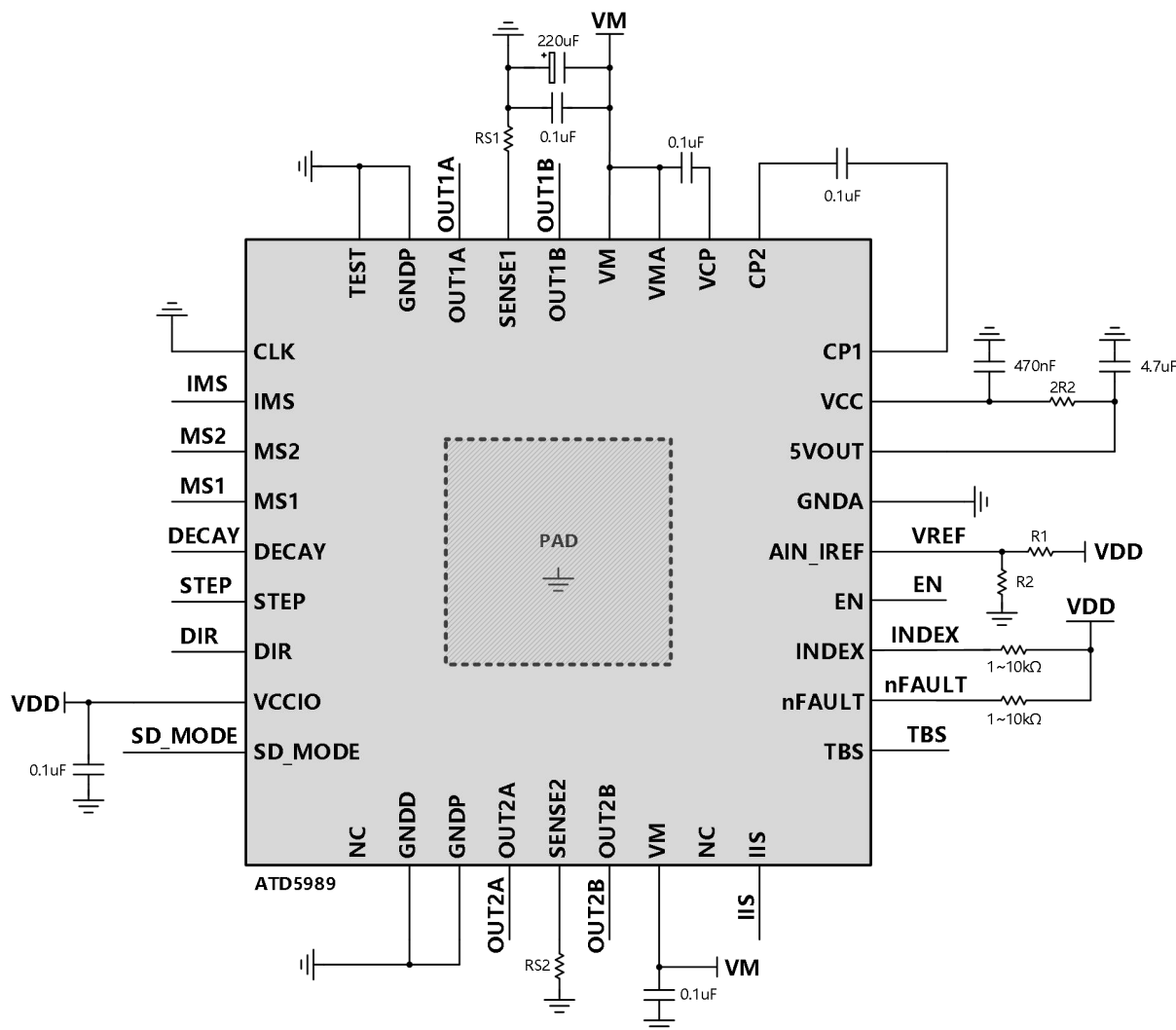


35				191.3	-98	-20
36				196.9	-96	-29
37	10			202.5	-92	-38
38				208.1	-88	-47
39				213.8	-83	-56
40				219.4	-77	-63
41	11	6	3	225	-71	-71
42				230.6	-63	-77
43				236.3	-55	-83
44				241.9	-47	-88
45	12			247.5	-38	-92
46				253.1	-29	-96
47				258.8	-19	-98
48				264.4	-10	-100
49	13	7		270	0	-100
50				275.6	10	-100
51				281.3	20	-98
52				286.9	29	-96
53	14			292.5	38	-92
54				298.1	47	-88
55				303.8	56	-83
56				309.4	63	-77
57	15	8	4	315	71	-71
58				320.6	77	-63
59				326.3	83	-55
60				331.9	88	-47
61	16			337.5	92	-38
62				343.1	96	-29
63				348.8	98	-19
64				354.4	100	-10



应用示例

外部检流电阻、外部参考电压



注意:

IMS 请悬空，悬空管脚请悬空，勿接地。

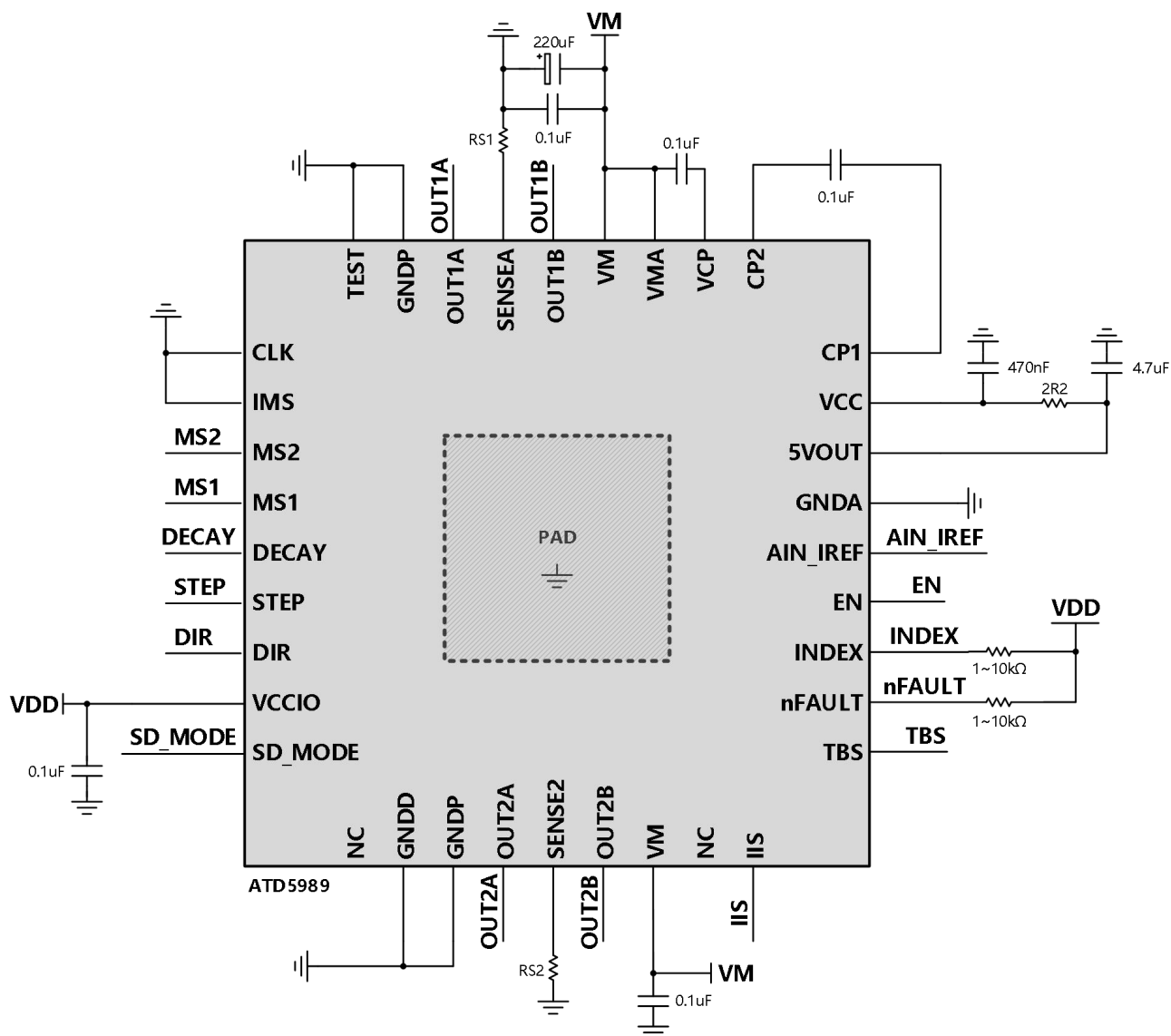
R1、R2 从 VDD 电压分压，产生参考电压，请设定小于 2.5V。

电流峰值计算参考下公式：

$$I_{PEAK} = (V_{REF} / 2.5V) \times (0.32 / R_S)$$



外部检流电阻、内部参考电压



注意:

IMS 请接地，悬空管脚请悬空，勿接地。

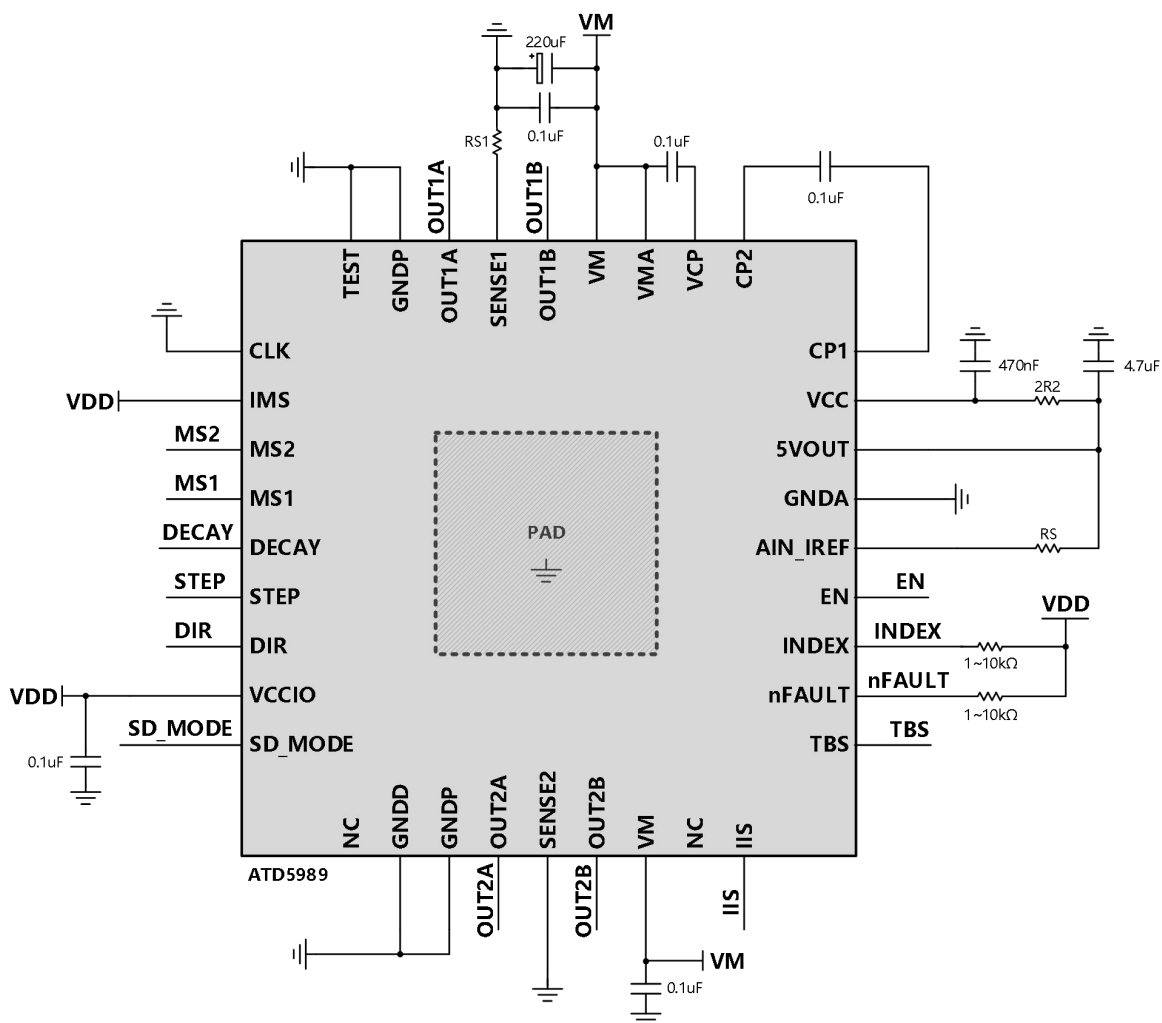
AIN_IREF 请悬空，输出电流完全取决于外部检流电阻。

电流峰值计算参考下公式：

$$I_{PEAK} = 0.32 / R_S$$



内部检流电阻



注意:

IMS 请接 VDD，悬空管脚请悬空，勿接地。

AIN_IREF 接电阻到 5VOUT，此电阻决定输出电流。

参考如下表:

R_s	输出峰值电流
6.8k	1.96A
7.5k	1.76A
8.2k	1.63A
9.1k	1.49A
10k	1.36A
12k	1.15A
15k	0.94A
18k	0.79A
22k	0.65A
27k	0.6A
33k	0.54A



版图注意事项

PCB 板上应覆设大块的散热片，地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能，芯片应该直接紧贴在散热片上。

对电机电源 VM，应该连接不小于 47 μ F 的电解电容对地耦合，电容应尽可能的靠近器件摆放。

为了避免因高速 dv/dt 变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

地线设置

AGND 和 PGND 的连线必须在芯片外部短接。所有的地线都应连接在一起，且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆设，将是一个优化的设计。

在覆设的地线下方增加一个铜散热片会更好的优化电路性能。

电流取样设置

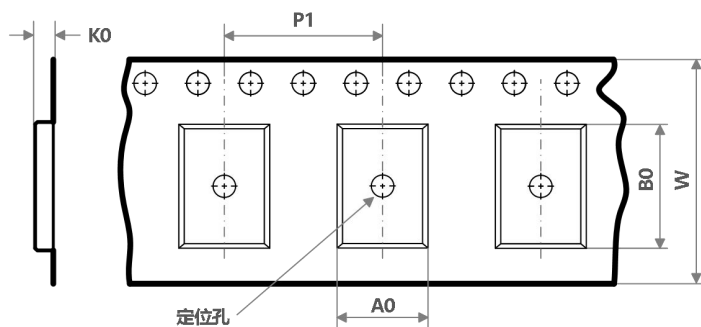
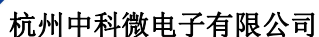
为了减小因为地线上的寄生电阻引起的误差，马达电流的取样电阻 R_S 接地的地线要单独设置，减小其他因素引起的误差。单独的地线最终要连接到星状分布的地线总线上，该连线要尽可能的短，对小阻值的 R_S ，由于 R_S 上的压降 $V = I \times R_S$ 小于 0.32V，PCB 上的连线压降与 0.32V 的电压将显得不可忽视，这一点要考虑进去。

PCB 尽量避免使用测试转接插座，测试插座的连接电阻可能会改变 R_S 的大小，对电路造成误差。 R_S 值的选择遵循下列公式：

$$R_S = 0.32 / I_{TRIPmax}$$

热保护

当内部电路结温超过 160°C 时，过温模块开始工作，关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题，而不应对输出短路的情况产生影响。热关断的阈值窗口大小为 15°C。



A0	料槽宽度
B0	料槽长度
K0	料槽厚度
W	载带整体宽度
P1	相邻槽中心间距

链齿孔

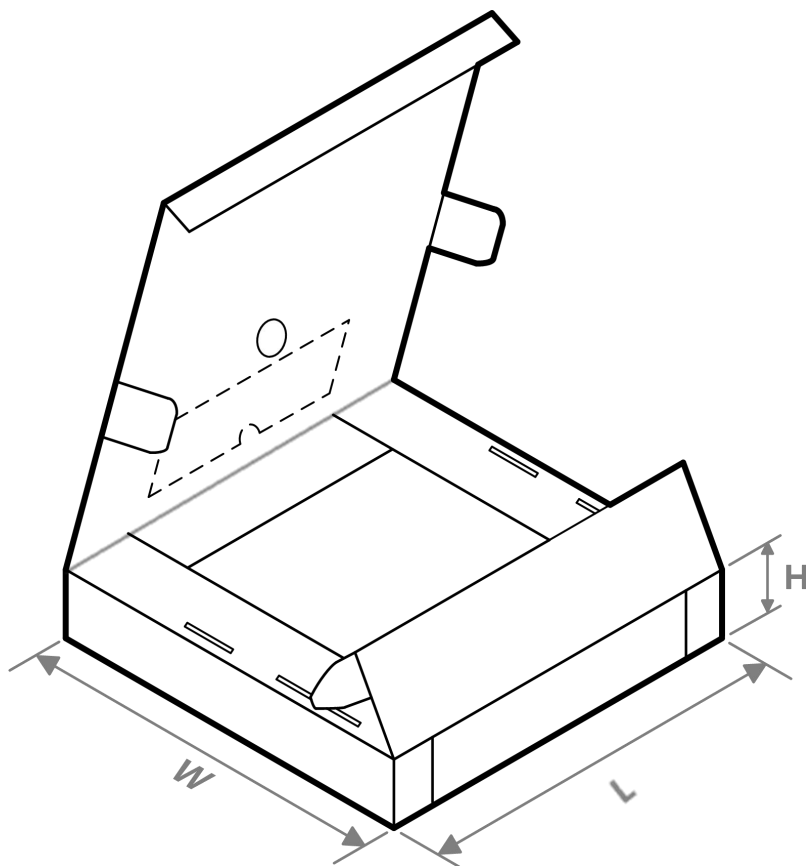
用户进料方向

微象限

器件	封装类型	封装标识	管脚数	SPQ	料盘直径 (mm)	料盘宽度 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
ATD5989	QFN	-	36	5000	330	12	6.3	6.35	1.27	8	12	Q2



编带料盘包装尺寸

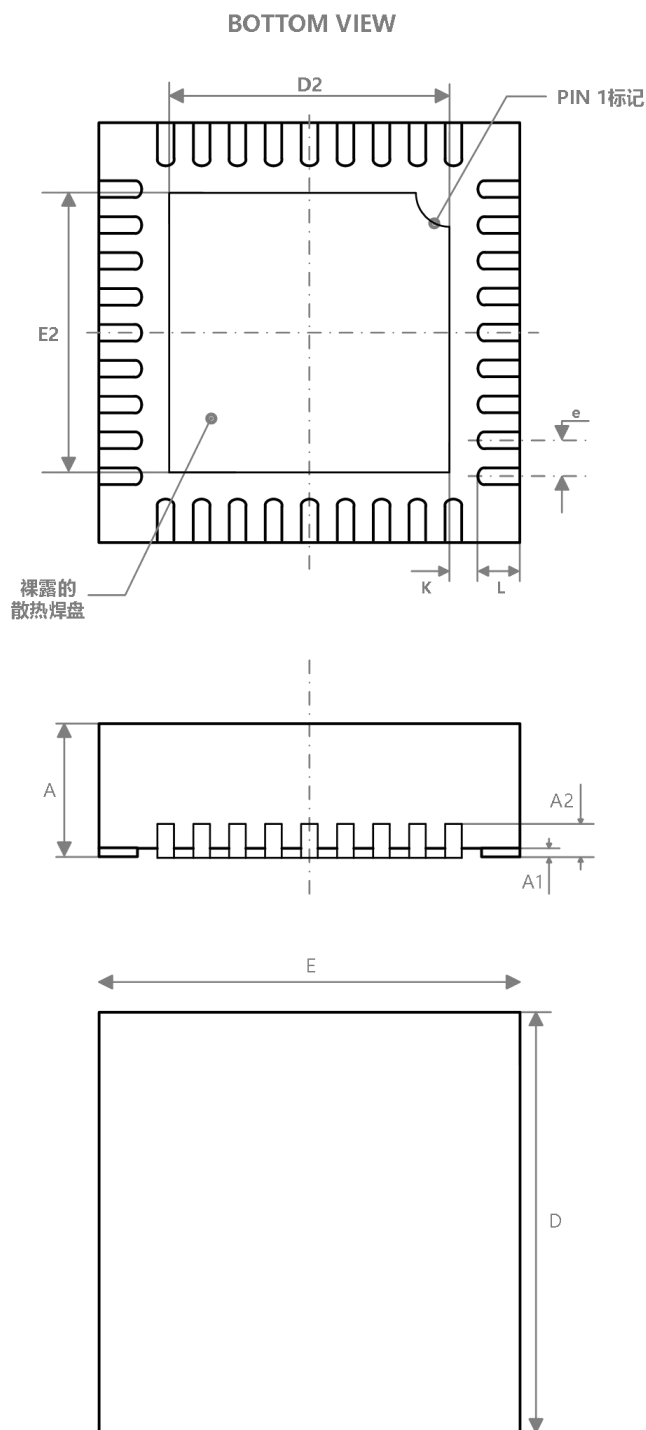


器件	封装类型	封装标识	管脚数	SPQ	长度(mm)	宽度(mm)	高度(mm)
ATD5989	QFN	-	36	5000	365	365	70



封装信息

QFN36



符号	毫米(mm)	
	最小	最大
A	0.80	0.90
A1	0.00	0.05
A2	0.18	0.23
D	5.90	6.10
E	5.90	6.10
D1	3.8	4.0
E1	3.8	4.0
b	0.18	0.30
b1	0.16(REF)	
e	0.50(TYP)	
k	0.20(MIN)	
L	0.50	0.60